




Bidirectional thyristor with MOS turn-off capability with a single gate

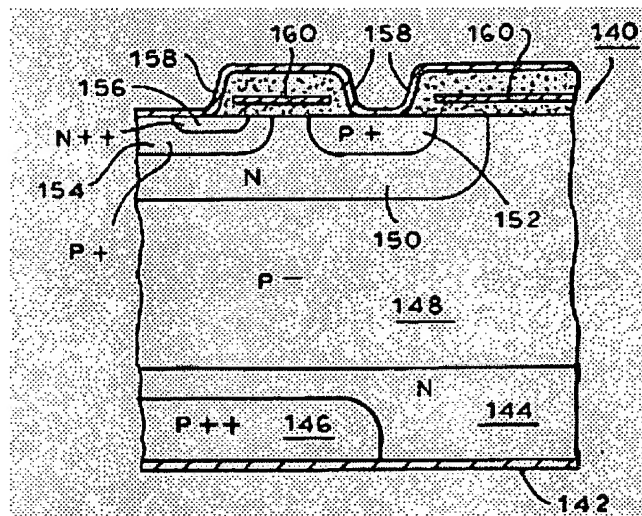
Patent number: FR2722335
Publication date: 1996-01-12
Inventor: AJIT JANARDHANAN S
Applicant: INTERNATIONAL RECTIFIER CORP (US)
Classification:
- International: H01L29/747
- european: H01L29/745B, H01L29/747, H01L29/749
Application number: FR19950008226 19950707
Priority number(s): US19940272769 19940708

Also published as:

 US5483087 (A1)
 JP8172181 (A)
 GB2292007 (A)
 DE19523172 (A1)

Abstract not available for FR2722335
Abstract of correspondent: **US5483087**

A bidirectional thyristor structure with a single MOS gate controlled turn off capability. In a vertical conduction embodiment, the device has a six layer structure including a backside diffusion. One vertical conduction structure includes a single body region at the first surface of the device for conduction in both the forward and reverse directions. Another vertical conduction structure includes a two body regions at the first surface, one for controlling forward conduction and the other for controlling reverse conduction. The vertical conduction embodiments are preferably implemented in a cellular geometry, with a large number of symmetrical cells connected in parallel. The bidirectional thyristor of the present invention can also be provided in a lateral conduction structure for power IC applications.



Data supplied from the esp@cenet database - Worldwide

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 722 335

②1 N° d'enregistrement national :

95 08226

⑤1 Int Cl⁶ : H 01 L 29/747

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 07.07.95.

③0 Priorité : 08.07.94 US 272769.

④3 Date de la mise à disposition du public de la
demande : 12.01.96 Bulletin 96/02.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : Ce dernier n'a pas été
établi à la date de publication de la demande.

⑥0 Références à d'autres documents nationaux
apparentés : DIVISION DEMANDEE LE 09/08/95
BENEFICIAIRE DE LA DATE DE DÉPÔT DU
09/12/94 DE LA DEMANDE INITIALE N° 94 14830
(ARTICLE L.612-4) DU CODE DE LA PROPRIÉTÉ
INTELLECTUELLE

⑦1 Demandeur(s) : INTERNATIONAL RECTIFIER
CORPORATION — US.

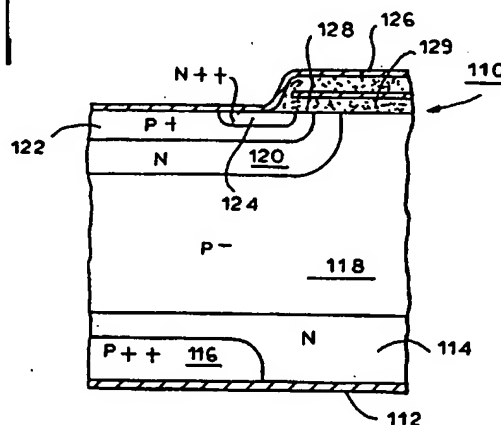
⑦2 Inventeur(s) : AJIT JANARDHANAN S.

⑦3 Titulaire(s) :

⑦4 Mandataire : CABINET FEDIT LORiot.

⑤4 THYRISTOR BIDIRECTIONNEL A CAPACITE DE BLOCAGE PAR STRUCTURE MOS A GRILLE UNIQUE.

⑤7 Thyristor bidirectionnel 110 à commande par grille de
structure MOS, comprenant un substrat P¹¹⁸, une base N
114, au moins un puits N 120 formé dans le substrat, au
moins un corps P¹²² formé dans le puits, au moins une
source N¹²⁴ formée dans le corps, une cathode 126
connectée à la région de corps et à la région de source,
une isolation de grille 129, une grille 128 située sur l'isola-
tion de grille et recouvrant les régions de canal, au moins
une région dopée relativement fortement P¹¹⁶ formée
dans la base et une anode reliée à la région dopée relative-
ment fortement et à la région de base.



FR 2 722 335 - A1



**Thyristor bidirectionnel à capacité de blocage par structure
MOS à grille unique**

ARRIÈRE-PLAN DE L'INVENTION

5 **1. Domaine de l'invention :**

La présente invention concerne un thyristor bidirectionnel et plus particulièrement une structure de thyristor bidirectionnel comportant une capacité de blocage à commande au moyen d'une grille unique de structure MOS (transistor à grille isolée par oxyde métallique).

10 **2. Description de la technique apparentée :**

Des structures de semiconducteur de puissance qui combinent des mécanismes de conduction bipolaire à une commande par structure MOS sont bien connues. Le transistor bipolaire à grille isolée (TBGI) est un exemple d'un tel dispositif dans lequel le courant de base d'une structure
15 bipolaire est commandé par l'intermédiaire d'un MOSFET (MOS à effet de champ) intégré. Le TBGI est aussi simple à commander qu'un MOSFET de puissance, mais, d'une manière avantageuse, il présente une chute de tension à l'état passant qui est inférieure en comparaison d'un MOSFET de puissance pour des tensions supérieures à 500 volts. La
20 chute de tension à l'état passant du TBGI est augmentée lorsque ce TBGI est conçu pour des tensions de blocage plus élevées (> 1000 V).

Pour des tensions plus élevées, on a mis au point une structure de thyristor qui, d'une manière avantageuse, présente une chute de tension à l'état passant qui est inférieure en comparaison d'un TBGI et dans laquelle
25 un court-circuit de cathode est commuté par l'intermédiaire d'une grille de structure MOS. Une telle structure de thyristor, appelée thyristor à commande par structure MOS ou TCM, qui est décrite dans un article de V.A.K. Temple, IEEE International Electron Device Meeting (IEDM) Technical Digest, San Francisco (décembre 1984), pages 282-85, est
30 débloquée et bloquée au moyen d'une grille de structure MOS unique. Alors que le TCM possède une structure asymétrique et ne peut conduire le courant que dans une seule direction, on a aussi mis au point des structures de thyristor bidirectionnel à capacité de blocage par structure MOS (voir par exemple les brevets US 4 816 892 et 5 040 042). Ces

thyristors bidirectionnels sont utilisables dans des applications de commutation en courant alternatif.

Dans des TCM et des thyristors bidirectionnels classiques, une région de base N^- légèrement dopée (la région de base du transistor PNP inférieur) est utilisée pour supporter la tension à l'état bloqué. Pour obtenir des caractéristiques de blocage rapide, la base P du transistor NPN est avantageusement connectée au potentiel de terre et la base N du transistor PNP est avantageusement connectée au potentiel d'anode élevé. Il n'est toutefois possible de connecter la base N au potentiel d'anode élevé qu'en utilisant des court-circuits d'anode, ce qui détruit la capacité de blocage en inverse du dispositif, ou qu'en utilisant des grilles de structure MOS sur la face arrière du dispositif (comme dans les brevets US n° 4 816 892 et 5 040 042), ce qui rend difficile la fabrication du dispositif.

Le brevet US n° 4 857 983 au nom de Baliga et coll. décrit un dispositif (figure 1) qui, moyennant l'utilisation d'une diffusion N^+ sur la face arrière de la plaquette, permet d'obtenir des caractéristiques de conduction en inverse sans présenter les inconvénients mentionnés ci-dessus. À la figure 1, le dispositif est débloqué en direct (anode positive vis-à-vis de la cathode) par application à la grille 2 d'un potentiel qui est suffisamment positif pour créer un canal N dans la base P^- 14, ce qui couple ainsi électriquement la région N^+ 7 et la région N^+ 8, laquelle est elle-même directement connectée à l'électrode 6 formant cathode. La structure à quatre couches formée par la couche P, la couche N^- 12, la région P^- 14 et la région N^+ 7 est ainsi couplée à la cathode par l'intermédiaire du MOSFET à canal N en série et la structure occupe alors un état passant régénérateur, ce qui fournit une commande de base active au transistor bipolaire PNP intrinsèque formé par la couche P 10, la couche N^- 12 et la région P^- 14. Lorsque la tension de grille est suffisamment réduite ou est rendue nulle, la région N^+ 7 est découplée de la région N^+ 8 et de la cathode et l'état passant cesse.

Ainsi qu'il ressort du dispositif de la technique antérieure de la figure 1, la limite entre la couche N^- 12 et la région P^- 14 et la limite entre la couche N^- 12 et la région P^+ 16 forment les jonctions de blocage en direct du dispositif et la plus grande partie de la tension de blocage est

supportée dans la couche N^- , qui est la région de base du transistor PNP inférieur. Une structure de thyristor parasite intrinsèque, formée par la couche P 10, la couche N^- 12, la région P^- 14 et la région N^+ 8, existe en direct.

5 En inverse, (anode 4 négative vis-à-vis de la cathode 6) et avec un potentiel appliqué à la structure de grille 2 qui est suffisamment négatif pour maintenir toutes les grilles de structure MOS au potentiel zéro, une conduction se produit à travers la structure à quatre couches formée par la région P^+ 16, la couche N^- 12, la couche P 10 et la région N^+ de face
10 arrière 20. Cette structure à quatre couches assure une conduction régénératrice en inverse. Sous l'effet de l'application d'un potentiel suffisamment positif à la structure de grille 2, la conduction régénératrice de la structure à quatre couches cesse, en raison de la présence des canaux N résultant qui sont créés dans la région P 16, ce qui court-circuite la
15 couche N^- 12 aux régions N^+ 22 et à l'électrode 6 formant cathode qui leur est connectée. Ce court-circuit de la jonction PN entre la région P^+ 16 et la couche N^- 12 réduit l'injection à partir de cette jonction et interrompt la conduction régénératrice. La limite entre la couche N^- 12 et la couche P 10 forme la jonction de blocage inverse du dispositif et la plus
20 grande partie de la tension de blocage est supportée dans la couche N^- , qui est la région de base du transistor PNP supérieur.

Dans le dispositif de la figure 1, un inconvénient réside dans le fait que la base N^- (couche N^- 12) du transistor PNP à base large n'est pas connectée au potentiel d'anode élevé lorsque le dispositif est bloqué à
25 partir de l'état passant en direct, ce qui provoque une dégradation des caractéristiques de blocage en direct du dispositif. Par ailleurs, ainsi que cela est mentionné ci-dessus, le dispositif comporte un thyristor parasite intrinsèque qui limite la capacité de commande par grille de structure MOS du dispositif à l'état passant en direct.

30 Il est donc souhaitable de réaliser un thyristor bidirectionnel à commande au moyen d'une grille de structure MOS unique qui ne comporte pas de thyristor parasite et possède des caractéristiques de blocage améliorées.

RESUME DE L'INVENTION

La présente invention a pour objet une structure nouvelle de thyristor bidirectionnel à commande par grille de structure MOS qui remédie aux inconvénients de la technique antérieure mentionnés ci-dessus et qui permet d'atteindre les buts exposés plus haut.

5 La présente invention atteint ces buts en faisant en sorte que la plus grande partie de la tension de blocage soit supportée dans la région de collecteur de transistor PNP inférieur à l'état bloqué en direct et que la plus grande partie de la tension de blocage soit supportée dans la région de collecteur du transistor PNP supérieur à l'état bloqué en inverse.

10 Le dispositif de la présente invention est formé sur une plaquette de matière de semiconducteur présentant une première et une seconde surfaces planes parallèles espacées. La partie de l'épaisseur de la plaquette qui s'étend vers le bas à partir de la première surface plane comprend une région de substrat, d'un premier type de conductivité, qui est dopée
15 relativement légèrement et qui sert à recevoir des jonctions. La partie de la plaquette qui s'étend vers le haut à partir de la seconde surface de semiconducteur comprend une région de base d'un second type de conductivité qui est opposé au premier type de conductivité.

Dans un mode de réalisation à conduction verticale, le dispositif
20 comprend une région de puits unique, du second type de conductivité, qui est formée dans la région du substrat et qui s'étend de la première surface de semiconducteur à une première profondeur au-dessous de la première surface de semiconducteur. La région de puits est espacée radialement vers l'intérieur suivant l'étendue de la première surface de
25 semiconducteur, de façon à définir une première région de canal dans la région dopée légèrement qui est du premier type de conductivité.

Au moins une région de corps, du premier type de conductivité, est formée dans la région de puits et s'étend, vers le bas, de la première surface de semiconducteur à une seconde profondeur au-dessous de la
30 première surface de semiconducteur qui est moins profonde que la première profondeur. La région de corps est espacée de la région de puits radialement vers l'intérieur suivant l'étendue de la première surface de semiconducteur, de façon à définir une deuxième région de canal suivant l'étendue de la première surface de semiconducteur entre la région de
35 corps et la région dopée relativement légèrement, dans la région de puits.

Une région de source, du second type de conductivité, est formée dans la région de corps et s'étend de la première surface de semiconducteur à une troisième profondeur au-dessous de ladite surface de semiconducteur qui est moins profonde que la deuxième profondeur. La région de source est espacée de la région de puits radialement vers l'intérieur suivant l'étendue de la première surface de semiconducteur, de façon à définir une troisième région de canal sur la région de corps, suivant l'étendue de la première surface de semiconducteur, entre la région de source et la région de puits.

Une première électrode est disposée sur la première surface de semiconducteur et est connectée à la région de corps et à la région de source. Une couche d'isolation de grille, située sur la première surface, recouvre au moins sur lesdites régions de canal. Une électrode servant de grille, située sur la couche d'isolation de grille, recouvre les régions de canal.

Une diffusion de face arrière formant une région dopée relativement fortement, qui est du premier type de conductivité, est formée dans une région de base du second type de conductivité et s'étend à partir de la seconde surface de semiconducteur, sur l'étendue d'une partie de cette seconde surface.

Une seconde électrode est disposée sur la seconde surface de semiconducteur et est connectée à la diffusion de face arrière et à la région de base qui est du second type de conductivité.

La région de corps et/ou la région de puits peuvent présenter une forme profilée qui comprend une région dopée relativement fortement qui est relativement profonde.

Dans une variante de réalisation à conduction verticale, le dispositif comprend une seconde région de corps, du premier type de conductivité, qui est formée dans la région de puits, cette seconde région de corps étant séparée du substrat dopé relativement légèrement par une partie de la région de puits. La première électrode est connectée à la seconde région de corps, en sus de la première région de corps et de la région de source. Dans ce mode de réalisation, la région de corps peut présenter une forme profilée qui comprend une partie dopée relativement fortement qui est relativement profonde.

Dans chacun des modes de réalisation mentionnés ci-dessus, si le premier type de conductivité correspond à une matière de semiconducteur de type P et le second type de conductivité à une matière de semiconducteur de type N, la première électrode est alors la cathode du dispositif et la seconde électrode est l'anode du dispositif. Inversement, si le premier type de conductivité correspond à une matière de semiconducteur de type N et le second type de conductivité à une matière de semiconducteur de type P, la première électrode est alors l'anode du dispositif et la seconde électrode est la cathode du dispositif.

10 Dans une mise en oeuvre préférée, le thyristor bidirectionnel de la présente invention est prévu sous la forme de plusieurs cellules à disposition symétrique et connectées en parallèle qui sont disposées sur une plaquette et la première électrode est une grille qui recouvre les régions de corps et les régions de puits de cellules adjacentes. Les cellules
15 ont de préférence une forme polygonale. Les cellules peuvent comporter chacune une région obtenue par diffusion, dopée relativement fortement, qui est espacée de la région de puits et s'étend à partir de la première surface de semiconducteur, la région obtenue par diffusion et dopée relativement fortement étant disposée entre des régions de puits
20 respectives de cellules adjacentes. Des structures de connexion peuvent être prévues sur la première et la seconde surfaces de semiconducteur au bord de l'ensemble du dispositif.

Dans un mode de réalisation à conduction transversale de l'invention, la diffusion de face arrière dopée relativement fortement est
25 remontée à la première surface du dispositif et disposée à l'intérieur d'une seconde région de puits du second type de conductivité. La seconde région de puits est espacée transversalement de la première région de puits. Dans ce mode de réalisation, la seconde électrode est disposée aussi sur la première surface de semiconducteur et est connectée à la seconde région
30 de puits et à la région dopée relativement fortement qui est contenue dans cette dernière. D'une manière facultative, une isolation en fossé peut être prévue au voisinage de la seconde région de puits.

D'une manière facultative, le thyristor bidirectionnel de la présente invention peut être pourvu d'une cellule de déblocage à commande par
35 grille de structure MOS de type intégré.

D'une manière avantageuse, dans la structure de la présente invention, la région de substrat dopée légèrement, par exemple de conductivité de type P⁻ (et qui constitue alors la région de collecteur d'un transistor PNP supérieur formé de la région de corps P, de la région de puits N et du substrat P⁻, qui constitue aussi la région de collecteur d'un transistor PNP inférieur formé de la diffusion de face arrière de type P, de la base N et du substrat P⁻, et qui constitue aussi la région de base d'un transistor NPN inférieur formé de la région de puits N, du substrat P⁻ et de la région de base N), est utilisée pour supporter la tension à la fois en direct et en inverse. Cette structure autorise un accès à la fois à la base N (région de base N) du transistor PNP et à la base P⁻ large (substrat P) du transistor NPN au cours d'un blocage à partir de l'état passant en direct. Au cours d'un blocage à partir de l'état passant en direct, la base N du transistor PNP est connectée au potentiel d'anode et la base P⁻ du transistor NPN est connectée au potentiel de cathode (terre). Il en résulte une capacité de blocage rapide en direct pour la présente invention. D'une manière avantageuse, la structure de la présente invention ne comporte pas de thyristor parasite intrinsèque ni dans en direct, ni dans en inverse. Enfin, la présente invention non seulement permet d'obtenir les résultats ci-dessus, mais elle présente aussi un déblocage commandé par grille en inverse.

Ainsi, pour la première fois, la présente invention fournit une structure de thyristor bidirectionnel commandé par grille de structure MOS qui ne comporte pas de structure de thyristor parasite, ne comporte pas de grilles de face arrière, présente une capacité de blocage rapide en direct, possède une capacité de saturation de courant en direct et comporte une électrode de grille unique.

D'autres particularités et avantages de la présente invention ressortent de la description de l'invention qui suit et qui se réfère aux dessins annexés.

DESCRIPTION SUCCINCTE DES DESSINS

La figure 1 est une vue en coupe transversale du dispositif de la technique antérieure décrit dans le brevet US n° 4 857 983 aux noms de Baliga et coll...

La figure 2 est une vue en coupe transversale de la structure de dispositif du thyristor bidirectionnel à trois connexions de la présente invention.

La figure 3 représente les caractéristiques de dispositif du thyristor bidirectionnel à trois connexions de la figure 2.

La figure 4 est une vue en coupe transversale d'un mode de réalisation de l'invention comportant deux types différents de cellules.

La figure 5 est une vue en coupe transversale de la structure de thyristor de la figure 4 dans laquelle toutes les couches de type N ont été changées en type P et toutes les couches de type P changées en type N.

La figure 6 est une vue en coupe transversale de la structure de thyristor de la figure 4 comportant une diffusion de puits profonde.

La figure 7 est une vue en coupe transversale de la structure de thyristor de la figure 5 comportant une diffusion de puits profonde.

La figure 8 est une vue en coupe transversale d'un mode de réalisation de l'invention présentant des caractéristiques de saturation de courant à la fois dans la direction directe et dans la direction inverse.

La figure 9 est une vue en coupe transversale de la structure de thyristor de la structure de thyristor de la figure 8 dans laquelle toutes les couches de type N ont été changées en type P et toutes les couches de type P changées en type N.

La figure 10 est une vue en coupe transversale d'un mode de réalisation de l'invention qui ne nécessite pas de diffusion supplémentaire pour les parties profondes des puits.

La figure 11 est une vue en coupe transversale de la structure de thyristor de la figure 10 dans laquelle toutes les couches de type N ont été changées en type P et toutes les couches de type P changées en type N.

La figure 12 est une vue en coupe transversale d'une cellule complète du thyristor de la figure 2.

La figure 13 est une vue en coupe transversale d'une cellule complète du thyristor de la figure 2 qui comporte une structure de corps profonde.

La figure 14 est une vue en coupe transversale d'une cellule complète du thyristor de la figure 2 qui comporte une structure de corps

profonde et dans laquelle toutes les couches de type N ont été changées en type P et toutes les couches de type P changées en type N.

La figure 15 est une vue en coupe transversale et étendue de la configuration cellulaire préférée de la présente invention qui présente la polarité de conductivité de la figure 13.

La figure 16 est une vue de dessus d'un groupement de cellules qui est alors répété sous forme d'un agencement ordonné en vue de constituer le dispositif actif.

La figure 17 est une vue de dessus d'un autre agencement possible d'un groupement de cellules qui est alors répété sous forme d'un agencement ordonné en vue de constituer le dispositif actif.

La figure 18 est une vue en coupe transversale d'un mode de réalisation à conduction transversale de l'invention.

La figure 19 est une vue en coupe transversale d'une variante de réalisation à conduction transversale comportant une isolation en fossé.

La figure 20 est une vue en coupe transversale d'un mode de réalisation de l'invention comportant une cellule à déblocage en direct commandée par grille de structure MOS de type intégré.

La figure 21 est une vue en coupe transversale d'une variante de structure autorisant un déblocage commandé par structure MOS en direct.

La figure 22 est une vue en coupe transversale d'une modification du mode de réalisation de la figure 20 qui comporte une cellule à déblocage en direct commandée par grille de structure MOS de type intégré, cette cellule présentant une électrode de grille unique.

La figure 23 est une vue en coupe transversale d'une modification du mode de réalisation de la figure 20 qui utilise une grille de déblocage de courant.

DESCRIPTION DÉTAILLÉE DES MODES DE RÉALISATION PRÉFÉRÉS

Un premier mode de réalisation de la structure de thyristor bidirectionnel commandé par grille de structure MOS unique, qui est conforme à la présente invention, est représenté à la figure 2. Ainsi que cela est évident au vu de la description qui suit, le thyristor bidirectionnel de la présente invention est pour l'essentiel constitué, de même que le dispositif de la technique antérieure représenté à la figure 1, d'un thyristor

PNPN en série avec un MOSFET à canal N. Toutefois, dans le dispositif de la technique antérieure, le transistor PNP inférieur est un PNP à base N large. En revanche, dans le dispositif de la présente invention, et ainsi que cela est décrit ci-après en détail, le transistor PNP inférieur est un transistor à base N étroite et collecteur P⁻ large.

Si on se reporte de nouveau à la figure 2, le thyristor bidirectionnel 110 de la présente invention est un dispositif à conduction verticale construit sur un substrat 118 de type P⁻. Une région P⁺⁺ 116 dopée fortement est formée sur une partie de la face inférieure d'une couche de base N 114 disposée au-dessous du substrat 118 de type P⁻. Une anode 112 située sur la surface inférieure du dispositif est au contact à la fois de la couche de base N 114 et de la région P⁺⁺ 116.

La couche 114 de type N et la couche P⁺⁺ 116 sont de préférence formées par des diffusions de face arrière sur un substrat 118 de type P⁻. Un puits 120 de type N est disposé à l'intérieur de la couche de substrat P⁻ 118, ce puits 120 formant le drain du MOSFET à canal N du dispositif, ainsi que cela est décrit ci-après en détail. Une région de corps 122 de type P (formant la région de canal du MOSFET) est disposée à l'intérieur du puits 120 de type N et une région N⁺⁺ 124 dopée fortement (formant la source du MOSFET) est disposée à l'intérieur du corps P 122. Le corps P 122 est de préférence dopé relativement fortement (c'est-à-dire P⁺), ainsi que cela est représenté à la figure 2.

Une électrode formant cathode 126 située sur la première surface du dispositif couvre à la fois le corps P⁺ 122 et au moins une partie de la région de source N⁺⁺ 124. Une grille 128, de préférence en polysilicone, qui est isolée de la première surface du dispositif par une couche d'oxyde 129, recouvre le corps P 122, le puits N 120 et la couche épitaxiale P⁻ 118.

Le fonctionnement du dispositif 110 représenté à la figure 2 est le suivant. En direct (conduction du courant de l'anode à la cathode, c'est-à-dire vers le haut à la figure 2), le thyristor 110 est déclenché à l'état passant par application à la grille 128 d'une tension positive vis-à-vis de la cathode 126 et par l'application simultanée d'une tension suffisamment élevée à l'anode 112 ou au moyen d'une énergie photoélectrique (lumière) ou d'autres méthodes bien connues utilisées pour déclencher des

redresseurs au silicium commandés. Le thyristor 110 est maintenu à l'état passant par maintien sur la grille 128 d'une tension positive suffisante vis-à-vis de la cathode 126. La tension positive présente sur la grille 128 doit être suffisante pour créer dans le corps P^+ 122 un canal N d'inversion qui connecte le puits N 120 à la région N^{++} 124, ce qui maintient le MOSFET à l'état passant et autorise une conduction par le canal inversé et un déblocage régénérateur du thyristor. Ainsi, le courant du thyristor dans le mode direct va de l'anode 112 à la cathode 126 en passant par le thyristor PNPN, formé par la diffusion de face arrière P^{++} 116, la couche de base N 114, le substrat P^- 118 et le puits N 120, et, en série, par le MOSFET conducteur formé par le puits N 120, le corps P^+ 122 et la région N^{++} 124.

Pour bloquer le dispositif, il est appliqué à la grille 128 une tension négative suffisante vis-à-vis de la cathode 126 qui provoque une inversion du puits N 120, de façon à connecter la couche de substrat P^- 118 au potentiel de terre de la cathode 126, ce qui dévie le flux de charge régénérateur et bloque le thyristor 110.

La tension de blocage en direct est supportée par la jonction plane-parallèle de la couche de substrat P^- 118 et de la couche de base N 114 et elle est principalement déterminée par le dopage et l'épaisseur de la couche de substrat P^- 118. Pour réduire le champ électrique de surface en vue d'améliorer la tension de rupture, on peut utiliser une formation de prises de contact de contour par attaque ou des formations de prises de contact par bord chanfreiné analogues à celles utilisées pour les triacs (voir B. J. Baliga, "High-Voltage device termination techniques - A comparative review", Proceedings of IEE, volume 129, point 1, n° 5, pages 173-179, octobre 1982, incorporé ici par référence).

En inverse (conduction du courant de la cathode à l'anode, c'est-à-dire vers le bas à la figure 2), le thyristor 110 est débloquent par application sur la grille 128 d'une tension négative vis-à-vis de la cathode 126. La tension négative présente sur la grille 128 doit être suffisante pour créer un canal d'inversion de type P qui connecte la couche de substrat P^- 118 à la région de corps P^+ 122. Il en résulte une connexion de la couche P^- 118 à un potentiel élevé, ce qui provoque une mise sous tension en direct de la couche N 114 à la couche P^- 118, ce qui crée une injection de

porteurs de charge qui entraîne un déblocage régénérateur du thyristor 110. Une fois que le thyristor 110 a été déclenché en mode de conduction inverse, la tension appliquée à la grille 128 peut être réduite au potentiel de la cathode 126. Le courant de thyristor dans le mode inverse va de la cathode 126 à l'anode 112 en traversant le thyristor PNPN formé par le corps P^+ 122, le puits N 120, le substrat P^- 118 et la couche de base N. On remarque que la région N^{++} 124 et la diffusion de face arrière P^{++} 116 sont inactives dans le mode de conduction inverse.

Pour bloquer le dispositif en inverse, il est appliqué à la grille 128 une tension positive, vis-à-vis de la cathode 126 qui est suffisante pour provoquer une connexion du puits N 120 au potentiel de la cathode 126 par l'intermédiaire du canal d'inversion de type N situé dans le corps P^+ 122. Il en résulte un court-circuit de la base, constituée par le puits N 120, du transistor PNP, à l'émetteur, constitué par le corps P 122, ce qui entraîne un blocage du thyristor 110. La résistance de diffusion du puits N 120 et la résistance du canal d'inversion de type N situé dans le corps P^+ 122 détermine le courant maximal qui peut être bloqué en inverse. La tension de blocage en inverse est supportée par la jonction de la couche de substrat P^- 118 et du puits N 120 et elle est déterminée par le dopage et l'épaisseur de la couche de substrat P^- 118, ainsi que par la structure de formation de prises de contact qui est utilisée. On peut aussi utiliser une structure de formation de prises de contact de dispositif à tension élevé d'un type standard, par exemple des plaques de champ et des anneaux de champ flottants qui sont dopés de type N. Ainsi que cela a été exposé précédemment, on peut utiliser en variante une formation de prises de contact de contour par attaque ou une formation de prises de contact par bord biseauté.

La figure 3 représente les caractéristiques correspondant au dispositif de la figure 2, à savoir un graphe de la tension, entre les deux faces du dispositif, en fonction du courant traversant ce dispositif, pour diverses tensions de grille. On constate que le dispositif présente les caractéristiques bilatérales d'un triac et possède toutefois une capacité de blocage commandé par grille.

Si on se reporte à la figure 4, une variante de réalisation de la présente invention est représentée sous forme d'une coupe transversale.

En direct, le dispositif de ce mode de réalisation est constitué d'un thyristor PNP en série avec un MOSFET à canal N et, en inverse, il est constitué d'un thyristor NPN à commande par grille de structure MOS. Le thyristor bidirectionnel 140 comprend un substrat 148 de type P sur lequel sont disposées une région de base N 144 et une région de diffusion de face arrière P^{++} 146. Une anode 142 située sur la surface inférieure du dispositif recouvre à la fois la couche de base 144 de type N et la diffusion de face arrière P^{++} 146. Une cathode 158 est recouverte à la surface supérieure du dispositif.

La couche 144 de type N et la couche 146 de type P^{++} sont formées par des diffusions de face arrière sur le substrat 148 de type P. Un puits 150 de type N est disposé à l'intérieur de la couche de substrat P^- 148, ce puits 150 formant le drain d'un MOSFET à canal N qui commande le dispositif, ainsi que cela est décrit ci-après en détail. Deux régions de corps 152, 154 de type P (de préférence dopées relativement fortement, c'est-à-dire P^+), qui sont espacées transversalement, sont disposées à l'intérieur du puits 15 de type N à l'endroit de la première surface du dispositif. La région de corps P^+ 154 forme la région de "canal" du MOSFET à canal N qui est utilisée pour commander le dispositif. Une région N^{++} 156 dopée fortement (qui forme la source du MOSFET à canal N) est disposée à l'intérieur du corps P^+ 154.

Une grille isolée 160 en polysilicone est prévue sur la première surface du dispositif sous la forme d'un agencement à mailles (non représenté) qui comporte une première section recouvrant la région N^{++} 156, le corps P^+ 154, le puits N 150 et le corps P^+ 152. Une seconde section de la grille 160, connectée électriquement à la première section, recouvre le corps P^+ 152, le puits N 150 et le substrat P^- 148.

Le fonctionnement du dispositif 140 représenté à la figure 4 est le suivant. En direct (conduction de l'anode à la cathode, c'est-à-dire vers le haut à la figure 4), le thyristor 140 fonctionne de la même manière que le mode de réalisation à grille unique de la figure 2. C'est ainsi que, de même que dans le mode de réalisation de la figure 2, le dispositif est déclenché à l'état passant par application à la grille 160 d'une tension positive vis-à-vis de la cathode 158 et par application simultanée d'une tension suffisamment élevée à l'anode 142, application d'une énergie

photoélectrique (lumière) ou application d'autres méthodes bien connues utilisées pour déclencher des redresseurs au silicium commandés. Le thyristor 140 est maintenu à l'état passant par maintien sur la grille 160 d'une tension positive vis-à-vis de la cathode 158 qui est suffisante pour
5 créer un canal N d'inversion dans le corps P^+ 154. Le déblocage de ce MOSFET à canal N connecte le puits N 150 à la région N^{++} 156 et permet une conduction à travers le dispositif.

Le dispositif de la figure 4 est déclenché à l'état passant en inverse par application à la grille 160 d'une tension négative suffisante vis-à-vis
10 de la cathode 158 et par application simultanée d'une tension négative à l'anode 142. La tension négative présente sur la grille 160 crée dans le puits N 150 un canal P d'inversion qui connecte le substrat P^- 148 au corps P^+ 152, ce qui applique une tension directe sur la jonction base N/substrat P^- entraînant un verrouillage (déblocage) du thyristor. Le
15 dispositif fonctionne essentiellement comme un TCM en inverse, le courant allant de la cathode à l'anode en passant par la région P^+ 152, le puits N 150, le substrat P^- 148 et la couche de base N 144. De même que dans le mode de réalisation de la figure 2, la région N^{++} 156 et la diffusion de face arrière P^{++} 146 sont inactives dans le mode de
20 conduction inverse. Comme précédemment aussi, l'application d'une tension positive suffisante sur la grille 160 provoque un blocage du thyristor 140 à partir du mode de conduction inverse.

Un autre mode de réalisation de la présente invention est représenté à la figure 5. Ce mode de réalisation est sur le plan structurel identique au
25 thyristor bidirectionnel 140 de la figure 4, mais avec un dopage et un flux de courant opposés. C'est ainsi que, dans le mode de réalisation de la figure 5, l'anode 182 recouvre la surface supérieure du dispositif et la cathode 184 recouvre la surface inférieure du dispositif. Avec l'anode 182 positive vis-à-vis de la cathode 184 et avec une tension suffisamment
30 négative appliquée à la grille isolée 186, le courant va de l'anode à la cathode, vers le bas en direct, en passant par la région P^{++} 188, par le canal N formé dans le corps N^+ 190 et par le puits P 192, le substrat N^- 194, la couche de base P 196 et la diffusion de face arrière N^{++} 198. En inverse, avec l'anode 182 négative vis-à-vis de la cathode 184 et avec une
35 tension appliquée à la grille isolée 186 qui est suffisamment positive pour

inverser le puits P 192, le courant va de la cathode à l'anode en passant par la couche de base P 196, le substrat N⁻ 194, le puits P 192 et le corps N⁺ 191.

Les figures 6 et 7 représentent des vues en coupe transversale de modes de réalisation qui sont sur le plan structurel analogues respectivement à ceux des figures 4 et 5, mais comportent en outre dans la région de puits une partie dopée fortement qui est profonde. Le puits N 150 de la figure 6 comprend une partie N⁺ 151 profonde et le puits P 192 de la figure 7 comprend une partie P⁺ 193 profonde. Les dispositifs représentés aux figures 4 et 5 sont d'une fabrication aisée. Les dispositifs représentés aux figures 6 et 7 nécessitent une diffusion supplémentaire pour les parties profondes des puits, mais, d'une manière avantageuse, ils présentent de meilleures caractéristiques de conduction de courant à l'état passant en direct, en raison d'une efficacité accrue d'injection d'émetteur qui est présentée par le transistor supérieur.

Les figures 8 et 9 représentent des vues en coupe transversale de modes de réalisation qui sont sur le plan structurel analogues respectivement à ceux des figures 6 et 7, à l'exception du fait que le contact du métal de cathode sur la région de corps P⁺ 152 est supprimé à la figure 8 et que le contact du métal d'anode sur la région de corps N⁺ 191 est supprimé à la figure 9. D'une manière avantageuse, les dispositifs représentés aux figures 8 et 9 présentent des caractéristiques de saturation de courant à l'état passant à la fois en direct et en inverse. Toutefois, les dispositifs représentés aux figures 8 et 9 présentent en inverse des thyristors parasites qui sont formés respectivement par le corps P 154, le puits N 150, le substrat P⁻ 148 et la région de base N 144 et par le corps N⁺ 190, le puits P 192, le substrat N⁻ 194 et la région P 196. La partie dopée fortement et profonde qui est située dans la région de puits participe à l'interdiction d'un verrouillage du thyristor parasite en inverse, tout en favorisant aussi une augmentation de l'efficacité d'injection d'émetteur du transistor supérieur.

Pour présenter une efficacité d'injection d'émetteur accrue et une chute de tension à l'état passant inférieure en direct, les dispositifs représentés aux figures 6 et 7 nécessitent une diffusion supplémentaire pour les parties profondes des puits. Un autre mode de réalisation,

représenté aux figures 10 et 11, permet d'obtenir une efficacité d'injection d'émetteur qui est accrue et une chute de tension à l'état passant qui est inférieure sans avoir à utiliser une diffusion supplémentaire pour les parties profondes des puits. Le dispositif représenté à la figure 10
5 comporte une couche N^{++} 253 sur le substrat P^- 248. La couche N^{++} 253 peut être formée au cours des mêmes étapes du processus que la réalisation de la région de source N^{++} 256. Le dispositif représenté à la figure 11 comporte une couche P^{++} 295 qui peut être formée au cours des mêmes étapes du processus que la réalisation de la région P^{++} 288.

10 Le thyristor bidirectionnel de la présente invention est de préférence pourvu d'un agencement topologique cellulaire analogue à celui décrit et revendiqué dans le brevet US n° 5 008 725 qui est incorporé ici par référence. Les figures 2 et 4-11 représentent une demi-cellule de chaque mode de réalisation. On obtient dans chaque cas une
15 cellule unitaire complète en ajoutant sur la gauche le symétrique de la structure par rapport à un plan. C'est ainsi par exemple qu'une cellule unitaire complète du mode de réalisation de la figure 2 est représentée à la figure 12. Dans son mode de réalisation préféré, l'invention est mise en oeuvre en prévoyant un grand nombre de ces cellules unitaires complètes,
20 ayant une forme polygonale et connectées en parallèle, sur une puce unique comportant une structure de prises de contact qui est analogue à l'agencement d'un MOSFET de puissance qui est présenté dans le brevet US n° 5 008 725. C'est ainsi que la grille 128 est constituée d'un agencement à mailles en polysilicone qui recouvre les régions de canal de
25 cellules adjacentes et la "région de conduction commune" située entre ces dernières.

La figure 13 représente une variante de configuration de la cellule de la figure 12 dans laquelle chacune des régions de corps comprend une région de corps P^+ 123 relativement profonde qui est analogue à
30 l'agencement d'un MOSFET de puissance qui est présenté dans le brevet US n° 4 642 666. La figure 14 représente un mode de réalisation qui est sur le plan structurel le même que l'agencement cellulaire de la figure 13, mais qui présente un dopage et un flux de courant opposés et qui comprend une région de corps N^+ 223 relativement profonde. Une
35 comparaison des figures 13 et 14 avec la coupe transversale de la cellule

de MOSFET de puissance qui est représentée dans les brevets US n° 4 642 666 et 5 008 725 révèle que la présente invention est analogue à l'exception du fait que: 1) la couche de glissement dopée légèrement (désignée respectivement par les repères 118, 218 aux figures 13 et 14) de la présente invention est constituée d'une matière d'un type de conductivité opposé en comparaison de celle d'un MOSFET de puissance, 2) l'objet de la présente invention comporte une région de puits (désignée respectivement par les repères 120, 220 aux figures 9 et 10) qui englobe la région de base et 3) l'objet de la présente invention comporte une diffusion de face arrière (désignée respectivement par les repères 116, 216 aux figures 13 et 14).

La figure 15 représente une vue en coupe transversale et étendue de la configuration cellulaire préférée de la présente invention qui présente la polarité de conductivité de la figure 13, les éléments identiques étant désignés par des repères identiques. La section transversale d'un groupement de cellules unitaires de base, conforme à la présente invention, qui est répété sur toute l'étendue de la surface de la plaquette, est désignée par le repère 130. Les figures 16 et 17 représentent des vues de dessus de deux groupements possibles de cellules. Ainsi que la figure 15 le montre, une diffusion N^{++} 132 peut être prévue dans la couche de substrat P^- 118 entre des régions de puits N 120 adjacentes. La diffusion N^{++} 132 est facultative et sert à accroître le rendement d'injection d'émetteur du transistor NPN dans le mode de conduction directe. Une variante de solution facultative (non représentée) consiste à prévoir dans certaines zones de cellule, au-dessous du corps P 122, une région N^+ qui est noyée.

Ainsi que la figure 15 le montre, plusieurs anneaux formant prise de contact sont prévus au bord de la plaquette de semiconducteur. D'une manière plus précise, le bord de la surface supérieure de la plaquette est pourvu de plusieurs anneaux formant prise de contact 134 de type N qui sont associés à la jonction de blocage en inverse, tandis que le bord de la surface inférieure de la plaquette est pourvu d'une prise de contact marginale de contour 136 qui est associée à la jonction de blocage en direct. Une couche d'oxyde de champ et de LTO (oxyde à basse

température), désignée par le repère 138, est prévue sur le bord des surfaces supérieure et inférieure de la plaquette.

Le thyristor bidirectionnel de la présente invention peut aussi être prévu dans une configuration de conduction transversale. C'est ainsi par exemple que la figure 18 représente une configuration de conduction transversale correspondant au mode de réalisation de l'invention qui est présenté en regard de la figure 5. En direct (anode positive vis-à-vis de la cathode) et avec une tension appliquée à la grille isolée 310 vis-à-vis de l'anode qui est suffisamment négative pour créer un canal P dans le corps N 314, le courant va de l'anode 312 à la cathode 319 en passant par la source P^{++} 313, le canal P situé dans le corps N 314 et le puits P 316, d'une face à l'autre de la couche épitaxiale N^{-} 318 et par le puits P 317 et la région N^{++} 322. En inverse (anode négative vis-à-vis de la cathode) et avec une tension appliquée à la grille 310 vis-à-vis de l'anode qui est suffisamment positive pour créer un canal N dans le puits P 316, le courant va de la cathode 319 à l'anode 312 en passant par le puits P 317, la couche épitaxiale N^{-} 318, le puits P 316 et le corps N 315. Une région P^{+} 324 est formée dans le substrat P 320 sur le côté droit de la cellule et sous la cathode 319, afin d'isoler la cellule des autres cellules situées sur la puce.

Un second mode de réalisation de conduction transversale qui est conforme à l'invention est représenté à la figure 19. Ce mode de réalisation est analogue à celui de la figure 18, mais comporte une isolation en fossé 330 à la place de la région P^{+} 324 et il est particulièrement adapté à des applications de circuits intégrés de puissance dans lesquelles le thyristor doit être isolé des autres dispositifs de puissance et de commande présents sur la même puce.

La figure 20 représente un mode de réalisation de l'invention qui a la même structure que le mode de réalisation à conduction verticale de la figure 4, mais qui comporte aussi une cellule de déblocage en direct à commande par grille de structure MOS de type intégré. La cellule de déblocage est constituée d'un puits N 170 englobant un corps P 172 qui s'étend vers le bas à partir de la surface supérieure de la plaquette, le puits N 170 étant espacé du puits N 150. Une électrode auxiliaire 174 est prévue sur la surface supérieure de la plaquette et est en contact avec le

corps P 172. Une seconde grille isolée 176 est aussi prévue sur la surface supérieure de la plaquette, cette grille 176 recouvrant la partie du puits N 150 qui est dirigée vers la surface supérieure de la plaquette, la partie du substrat P⁻ 148 qui est dirigée vers la surface supérieure de la plaquette
5 entre les puits N espacés, la partie du puits N 170 qui est dirigée vers la surface supérieure de la plaquette et au moins le bord de la partie du corps P 172 qui s'étend vers la surface supérieure de la plaquette. Lorsque le dispositif de la figure 20 est en fonctionnement, l'électrode auxiliaire 174 est mise à un potentiel légèrement supérieur (par exemple de 1 volt) au
10 potentiel de la cathode 158. Cela permet de déclencher le thyristor à l'état passant en direct (anode positive vis-à-vis de la cathode) en utilisant une commande par grille de structure MOS (plus précisément en appliquant à la grille 160 un potentiel vis-à-vis de la cathode 158 qui est suffisamment positif pour créer un canal N dans le corps P⁺ 154 et en appliquant à la
15 grille 176 un potentiel vis-à-vis de la cathode 158 qui est suffisamment négatif pour créer un canal P dans le puits N 170.

La figure 21 représente la coupe transversale d'une variante de structure autorisant un déblocage à commande par structure MOS en direct (anode positive vis-à-vis de la cathode, grille 160 positive vis-à-vis
20 de la cathode 158 et grille 176 négative vis-à-vis de l'anode 142). À l'instar des modes de réalisation des figures 18 et 19, cette structure comporte un thyristor transversal en sus du thyristor vertical de la figure 4.

D'autres structures sont possibles qui utilisent une commande par grille à polarité unique. C'est ainsi par exemple que la structure
25 représentée à la figure 20 peut être modifiée de la manière représentée à la figure 22, sur laquelle le puits N 170 est remplacé par deux puits N 171, 173 espacés, un corps P 175 étant formé dans le puits N 173 et une région N⁺⁺ 177 étant formée dans le puits N 171. Le corps P 175 et la région
30 N⁺⁺ 177 sont connectés électriquement au moyen d'une bande métallique flottante 179 disposée sur la surface supérieure de la plaquette de semiconducteur.

Lorsque le dispositif de la figure 22 est en fonctionnement, l'électrode auxiliaire 174 est mise à un potentiel légèrement supérieur (par
35 exemple de 1 volt) au potentiel de la cathode 158. Cela permet de

déclencher le thyristor à l'état passant en direct (anode positive vis-à-vis de la cathode) en utilisant une commande par grille de structure MOS (plus précisément en appliquant à la grille 160 un potentiel vis-à-vis de la cathode 158 qui est suffisamment positif pour créer des canaux N dans le corps P^+ 154 et la région P^- 148 entre les puits N 173 et 171). Cela connecte la région P^- 148 au voisinage du potentiel de l'électrode auxiliaire 174 par l'intermédiaire du corps P 175, de la bande métallique 179, de la région N^{++} 177, du canal N situé dans la région P^- 148 entre les puits N 173 et 171 et la région N^{++} 177. Il en résulte que la jonction région P^- 148/puits N 150 est mise sous tension en direct, ce qui provoque une injection de particules chargées qui déclenche le thyristor.

D'autres structures sont possibles qui utilisent une grille de déblocage de courant. C'est ainsi par exemple que la structure représentée à la figure 20 peut être modifiée de la manière représentée à la figure 23, sur laquelle le puits N 170 et la grille de structure MOS 176 sont supprimés. Lorsque le dispositif de la figure 23 est en fonctionnement, l'électrode auxiliaire 274 est utilisée pour injecter un courant dans le substrat P^- 148, ce qui fournit le courant de commande de base pour le transistor NPN supérieur formé par le puits N 150, le substrat P^- 148 et la région N 144 et permet de déclencher le thyristor à l'état passant en direct (anode positive vis-à-vis de la cathode) en utilisant une commande par grille (plus précisément la grille de structure MOS 160 qui est suffisamment positive vis-à-vis de la cathode 158 pour créer un canal N dans le corps P^+ 154, et la grille 274 qui injecte du courant dans le substrat P^- 148 pour déclencher le thyristor à l'état passant).

Bien que la présente invention ait été décrite à l'aide de modes de réalisation particuliers de cette dernière, de nombreuses autres variantes et modifications et autres utilisations seront évidentes aux spécialistes en la matière.

REVENDICATIONS

1. Thyristor bidirectionnel à commande par grille de structure MOS, comprenant :

5 une plaquette de matière de semiconducteur présentant une première et une seconde surfaces planes parallèles espacées, au moins une partie de l'épaisseur de la plaquette qui s'étend à partir de la première surface plane comprenant un substrat, d'un premier type de conductivité, qui est dopé relativement légèrement et qui sert à recevoir des jonctions,
10 au moins une partie de l'épaisseur de la plaquette qui s'étend à partir de la seconde surface comprenant une région de base d'un second type de conductivité qui est opposé au premier type de conductivité,

 au moins une première région de puits, du second type de conductivité, qui est formée dans le substrat dopé relativement légèrement
15 et qui s'étend de la première surface de semiconducteur à une première profondeur au-dessous de la première surface de semiconducteur,

 au moins une région de corps, du premier type de conductivité, qui est formée dans la région de puits et s'étend de la première surface de semiconducteur à une seconde profondeur au-dessous de ladite surface de
20 semiconducteur qui est moins profonde que la première profondeur, la région de corps étant espacée de la région de puits radialement vers l'intérieur sur l'étendue de la première surface de semiconducteur, de façon à définir une première région de canal sur l'étendue de la première surface de semiconducteur entre la région de corps et le substrat dopé
25 relativement légèrement,

 au moins une région de source, du second type de conductivité, qui est formée dans la région de corps et s'étend de la première surface de semiconducteur à une troisième profondeur au-dessous de ladite surface de semiconducteur qui est moins profonde que la deuxième profondeur, la
30 région de source étant espacée de la région de puits radialement vers l'intérieur sur l'étendue de la première surface de semiconducteur, de façon à définir une seconde région de canal suivant l'étendue de la première surface de semiconducteur entre la région de source et la région de puits,

des premiers moyens formant électrode disposés sur la première surface de semiconducteur et connectés à la région de corps et à la région de source,

des moyens de couche d'isolation de grille situés sur la première surface et disposés au moins sur lesdites régions de canal.

des moyens formant électrode servant de grille qui sont situés sur les moyens de couche d'isolation de grille et recouvrent les régions de canal,

au moins une région dopée relativement fortement et du premier type de conductivité qui est formée dans la région de base du second type de conductivité et s'étend à partir de la seconde surface de semiconducteur et

des seconds moyens d'électrode disposés sur la seconde surface de semiconducteur et reliés à la région dopée relativement fortement et du premier type de conductivité et à la région de base.

2. Thyristor bidirectionnel suivant la revendication 1, comprenant en outre une seconde région de corps, du premier type de conductivité, qui est formée dans la région de puits, cette seconde région de corps étant séparée du substrat dopé relativement légèrement par une partie de la région de puits et les premiers moyens formant électrode étant connectés à la seconde région de corps, à la première région de corps et à la région de source formée dans la première région de corps.

3. Thyristor bidirectionnel suivant la revendication 1, comprenant en outre une seconde région de corps, du premier type de conductivité, qui est formée dans la région de puits, cette seconde région de corps étant séparée du substrat dopé relativement légèrement par une partie de la région de puits, la région de puits présentant une forme profilée qui comporte une partie dopée relativement fortement et relativement profonde et les premiers moyens formant électrode étant connectés à la première région de corps et à la région de source formée dans cette première région de corps.

4. Thyristor bidirectionnel suivant la revendication 1, comprenant en outre plusieurs cellules de forme polygonale, à disposition symétrique et connectées en parallèle, qui ont la structure définie à la revendication 1, tandis que les premiers moyens formant électrode consistent en un

agencement à mailles qui recouvre les régions de corps de cellules adjacentes.

5 5. Thyristor bidirectionnel suivant la revendication 4, dans lequel chacune des cellules comporte une région obtenue par diffusion, dopée
relativement fortement, qui est espacée de la région de puits et s'étend à
partir de la première surface de semiconducteur, la région obtenue par
diffusion et dopée relativement fortement étant disposée entre des régions
de puits respectives de cellules adjacentes.

6. Thyristor bidirectionnel suivant la revendication 1, comprenant en
10 outre une cellule de déblocage à commande par grille de structure MOS
de type intégré, comprenant:

une seconde région de puits du second type de conductivité qui est
formée dans le substrat dopé relativement légèrement et qui s'étend à
partir de la première surface de semiconducteur, la seconde région de
15 puits étant espacée transversalement de la ou des premières régions de
puits d'une façon telle qu'une partie du substrat, du premier type de
conductivité, qui est dopé relativement légèrement s'étende vers le haut
jusqu'à la première surface de semiconducteur entre les régions de puits
espacées,

20 une seconde région de corps, du premier type de conductivité, qui
est formée dans la seconde région de puits, la seconde région de corps
étant séparée de la seconde région de puits radialement vers l'intérieur
suivant l'étendue de la première surface de semiconducteur, de façon à
définir une seconde région de canal suivant la première surface de
25 semiconducteur, dans la seconde région de puits,

des moyens formant électrode auxiliaire disposés sur la première
surface de semiconducteur et connectés à la seconde région de corps,

des seconds moyens formant couche d'isolation de grille disposés
sur la première surface et situés au moins sur la seconde région de canal
30 et sur la partie du substrat du premier type de conductivité, dopé
relativement légèrement, qui s'étend vers le haut jusqu'à la première
surface de semiconducteur entre les régions de puits espacées et

des seconds moyens formant électrode servant de grille qui sont
situés sur les moyens formant couche d'isolation de grille et qui
35 recouvrent la seconde région de canal et la partie du substrat du premier

type de conductivité, dopé relativement légèrement, qui s'étend vers le haut jusqu'à la première surface de semiconducteur entre les régions de puits espacées.

7. Thyristor bidirectionnel suivant la revendication 1, comportant en outre une cellule de déblocage à commande par grille de structure MOS de type intégré utilisant une commande par grille à polarité unique, comprenant :

une région d'injection, du premier type de conductivité, qui est formée dans le substrat dopé relativement légèrement,

des deuxième, troisième et quatrième régions de puits, du second type de conductivité, qui sont formées dans le substrat dopé relativement légèrement et qui s'étendent à partir de la première surface de semiconducteur, la deuxième région de puits étant espacée transversalement de la troisième région de puits d'une façon telle qu'une partie du substrat du premier type de conductivité, dopé relativement légèrement, s'étend vers le haut jusqu'à la première surface de semiconducteur entre les deuxième et troisième régions de puits espacées et forme une seconde région de canal entre les deuxième et troisième régions de puits espacées, la troisième région de puits étant espacée transversalement de la quatrième région de puits d'une façon telle qu'une partie de la région d'injection est au contact du substrat du premier type de conductivité, dopé relativement légèrement, entre lesdites régions, la quatrième région de puits étant espacée transversalement de la première région de puits d'une façon telle qu'une partie du substrat du premier type de conductivité, dopé relativement légèrement, s'étend vers le haut jusqu'à la première surface de semiconducteur entre les première et quatrième régions de puits espacées,

une deuxième région de source, du second type de conductivité, qui est formée dans la deuxième région de puits,

des moyens formant électrode auxiliaire disposés sur la première surface de semiconducteur et connectés à la seconde région de source,

une troisième région de source, du second type de conductivité, qui est formée dans la troisième région de puits,

une bande métallique disposée sur la première surface de semiconducteur et connectée à la troisième région de source et à la région d'injection,

des seconds moyens formant couche d'isolation de grille qui sont situés sur la dite première surface et sont disposés au moins au-dessus de la seconde région de canal et

des seconds moyens constituant une électrode formant grille qui sont disposés sur les moyens formant couche d'isolation de grille et recouvrent la seconde région de canal.

8. Thyristor bidirectionnel à commande par grille de structure MOS, comprenant :

une plaquette de matière de semiconducteur présentant une première et une seconde surfaces planes parallèles espacées, au moins une partie de l'épaisseur de la plaquette qui s'étend à partir de la première surface plane comprenant un substrat, d'un premier type de conductivité, qui est dopé relativement légèrement et qui sert à recevoir des jonctions, au moins une partie de l'épaisseur de la plaquette qui s'étend à partir de la seconde surface comprenant une région de base d'un second type de conductivité qui est opposé au premier type de conductivité,

une première région de puits, du second type de conductivité, qui est formée dans le substrat dopé relativement légèrement et qui s'étend de la première surface de semiconducteur à une première profondeur au-dessous de la première surface de semiconducteur,

au moins une région de corps, du premier type de conductivité, qui est formée dans la région de puits et s'étend de la première surface de semiconducteur à une seconde profondeur au-dessous de ladite surface de semiconducteur qui est moins profonde que la première profondeur, la région de corps étant espacée de la région de puits radialement vers l'intérieur sur l'étendue de la première surface de semiconducteur, de façon à définir une première région de canal sur l'étendue de la première surface de semiconducteur entre la région de corps et le substrat dopé relativement légèrement,

au moins une région de source, du second type de conductivité, qui est formée dans la région de corps et s'étend de la première surface de semiconducteur à une troisième profondeur au-dessous de ladite surface de

semiconducteur qui est moins profonde que la deuxième profondeur, la région de source étant espacée de la région de puits radialement vers l'intérieur sur l'étendue de la première surface de semiconducteur, de façon à définir une seconde région de canal suivant l'étendue de la première surface de semiconducteur entre la région de source et la région de puits,

des premier moyens formant électrode disposés sur la première surface de semiconducteur et connectés à la région de corps et à la région de source,

des moyens de couche d'isolation de grille situés sur la première surface et disposés au moins sur la région de canal et sur la première région de puits,

des moyens formant électrode servant de grille qui sont situés sur les moyens de couche d'isolation de grille et recouvrent la région de canal et la région de puits,

une seconde région de puits, du second type de conductivité, qui s'étend à partir de la première surface de la plaquette, cette seconde région de puits étant espacée transversalement de la première région de puits,

au moins une région dopée relativement fortement et du premier type de conductivité qui est formée à l'intérieur de la seconde région de puits et

des seconds moyens d'électrode disposés sur la seconde surface de semiconducteur et reliés à la région dopée relativement fortement et du premier type de conductivité et à la seconde région de puits.

9. Thyristor bidirectionnel suivant la revendication 8, comprenant en outre une seconde région de corps, du premier type de conductivité, qui est formée dans la région de puits, cette seconde région de corps étant séparée du substrat dopé relativement légèrement par une partie de la première région de puits et les premiers moyens formant électrode étant connectés à la seconde région de corps, à la première région de corps et à la région de source formée dans la première région de corps.

10. Thyristor bidirectionnel suivant la revendication 8, comprenant en outre une seconde région de corps, du premier type de conductivité, qui est formée dans la première région de puits, cette seconde région de corps

étant séparée de la région déposée par voie épitaxiale, qui est dopée relativement légèrement, par une partie de la première région de puits, et les premiers moyens formant électrode étant connectés à la première région de corps et à la région de source formée dans cette première région de corps, tandis que la région de corps présente une forme profilée qui comporte une partie, dopée relativement fortement et relativement profonde, qui est disposée au-dessous de la première région de corps.

ART ANTERIEUR

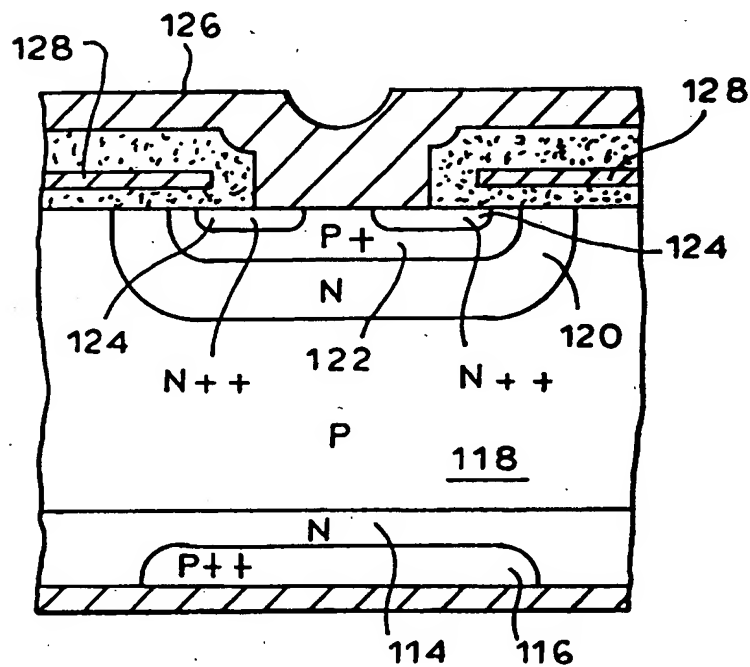


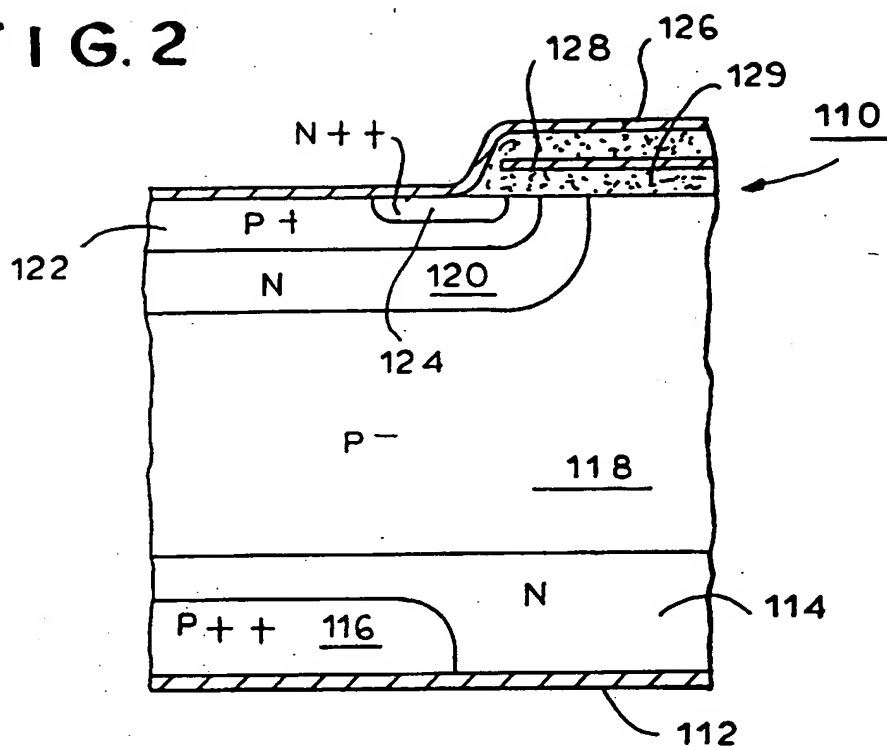
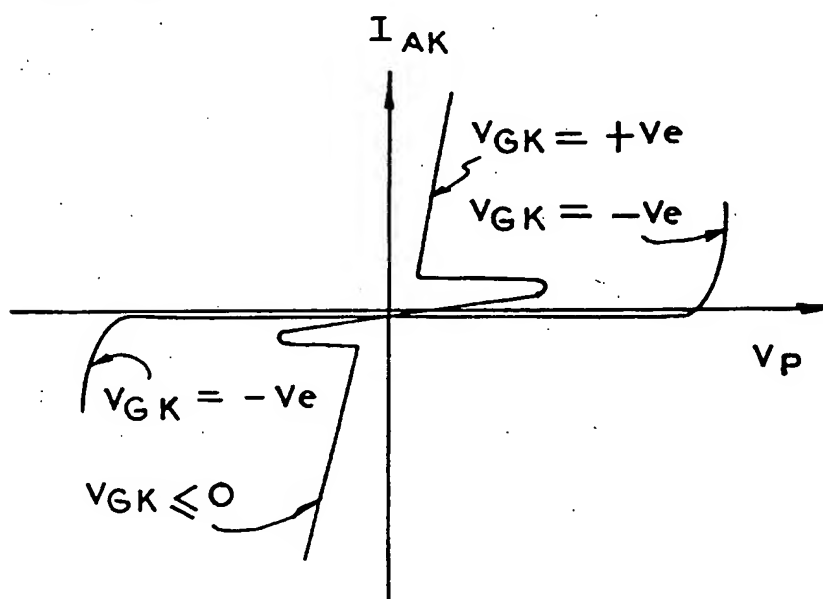
FIG. 2**FIG. 3**

FIG. 4

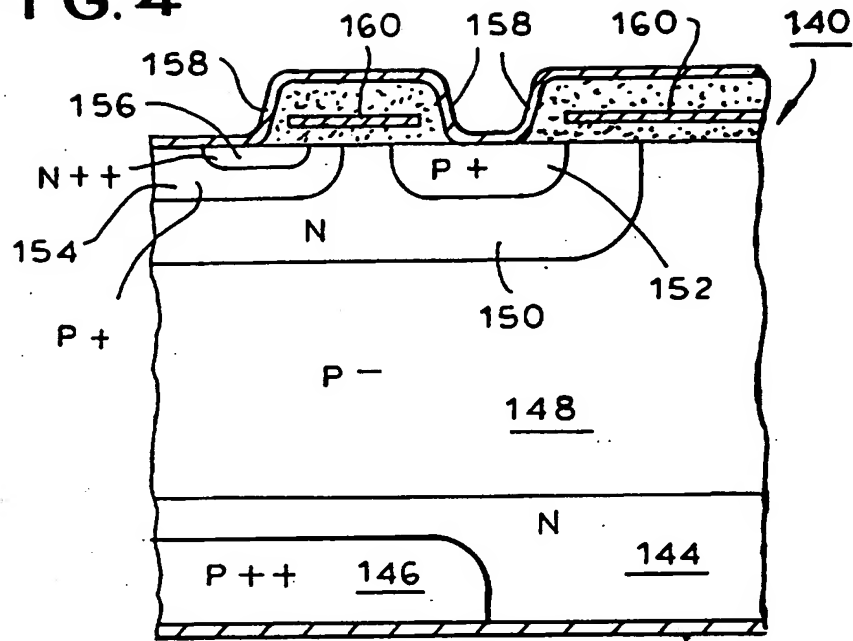


FIG. 5

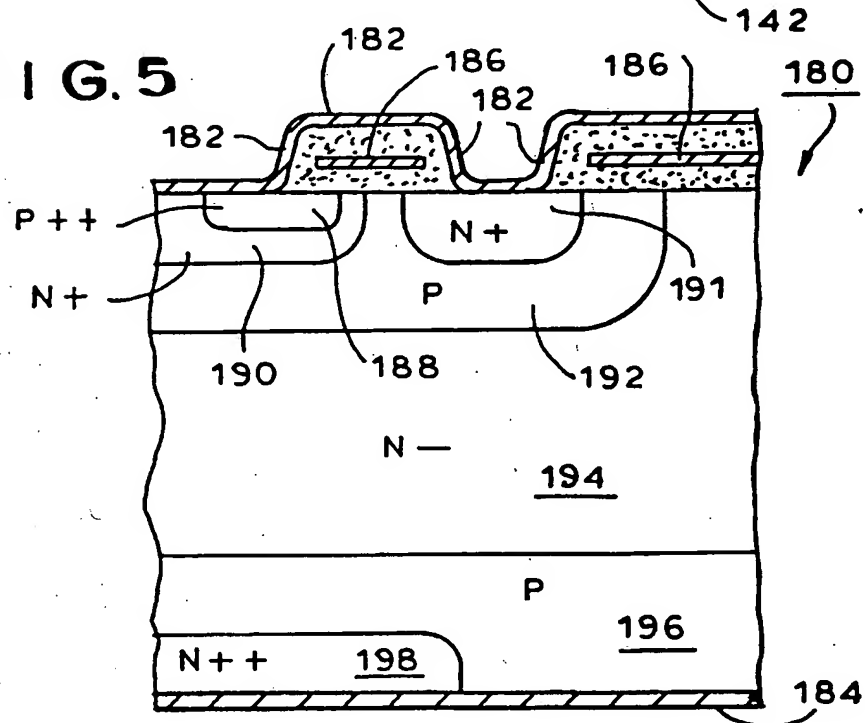


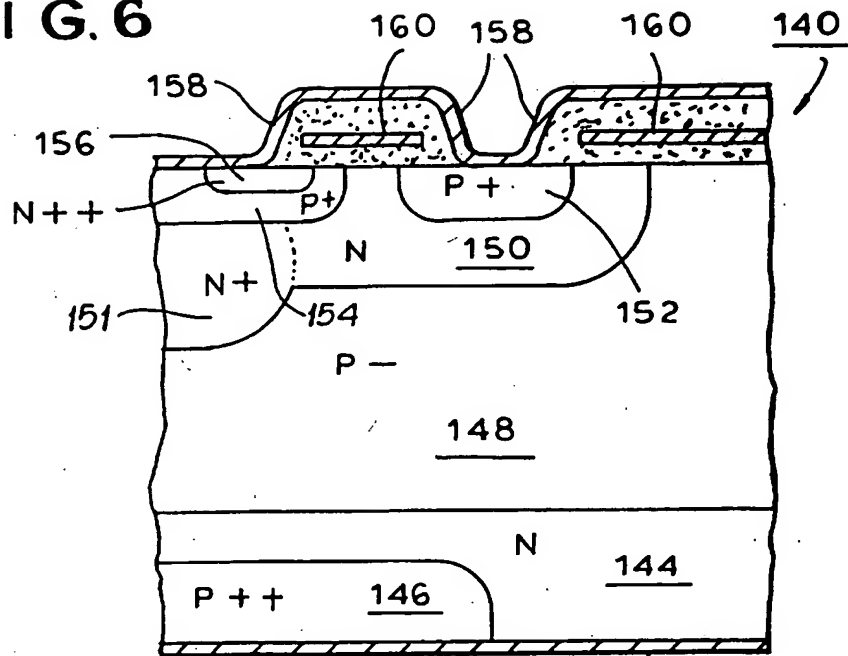
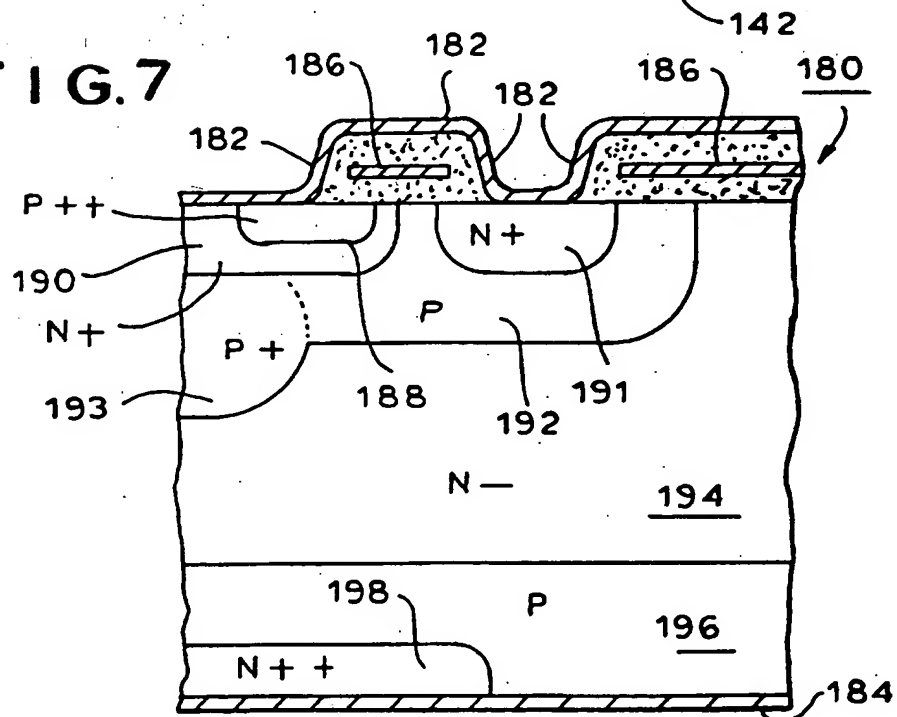
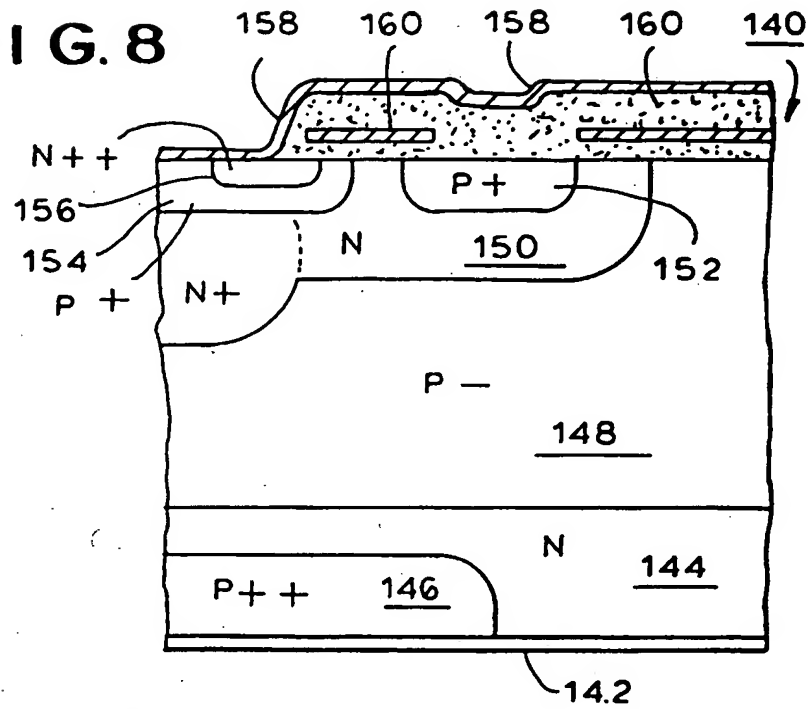
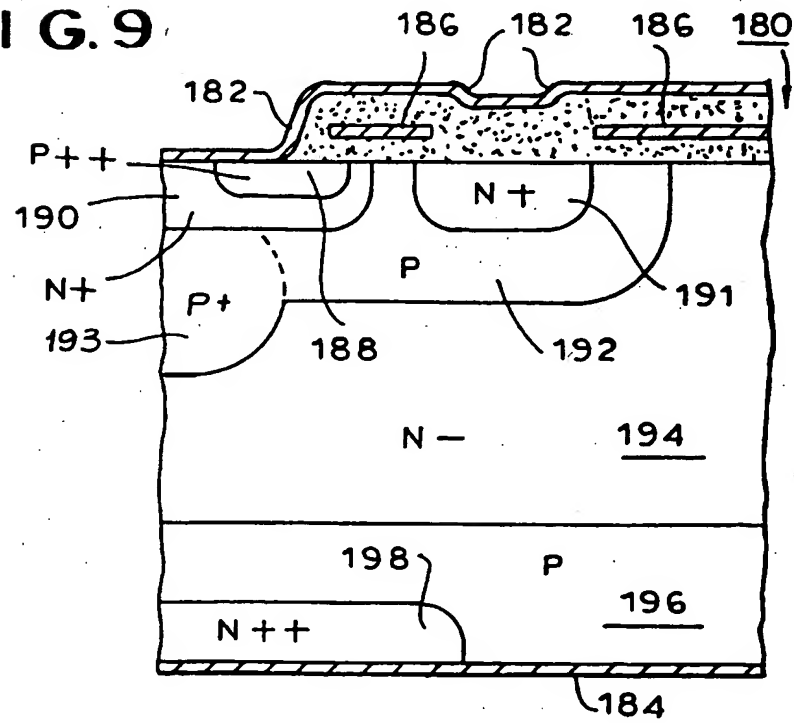
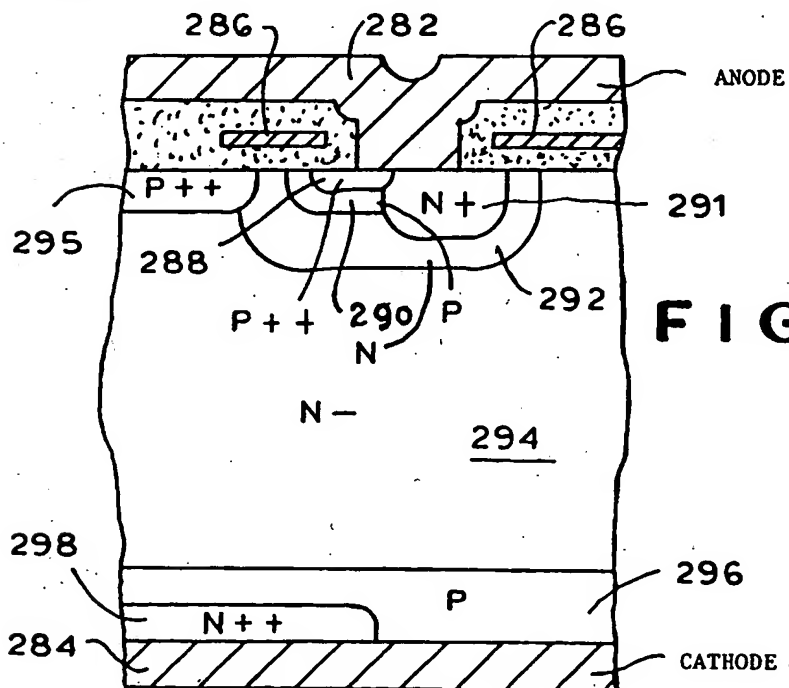
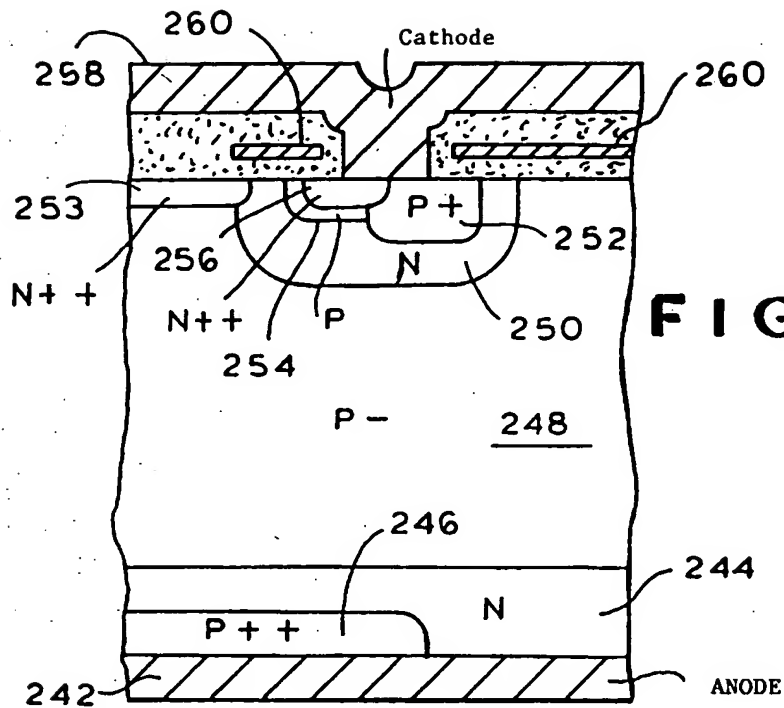
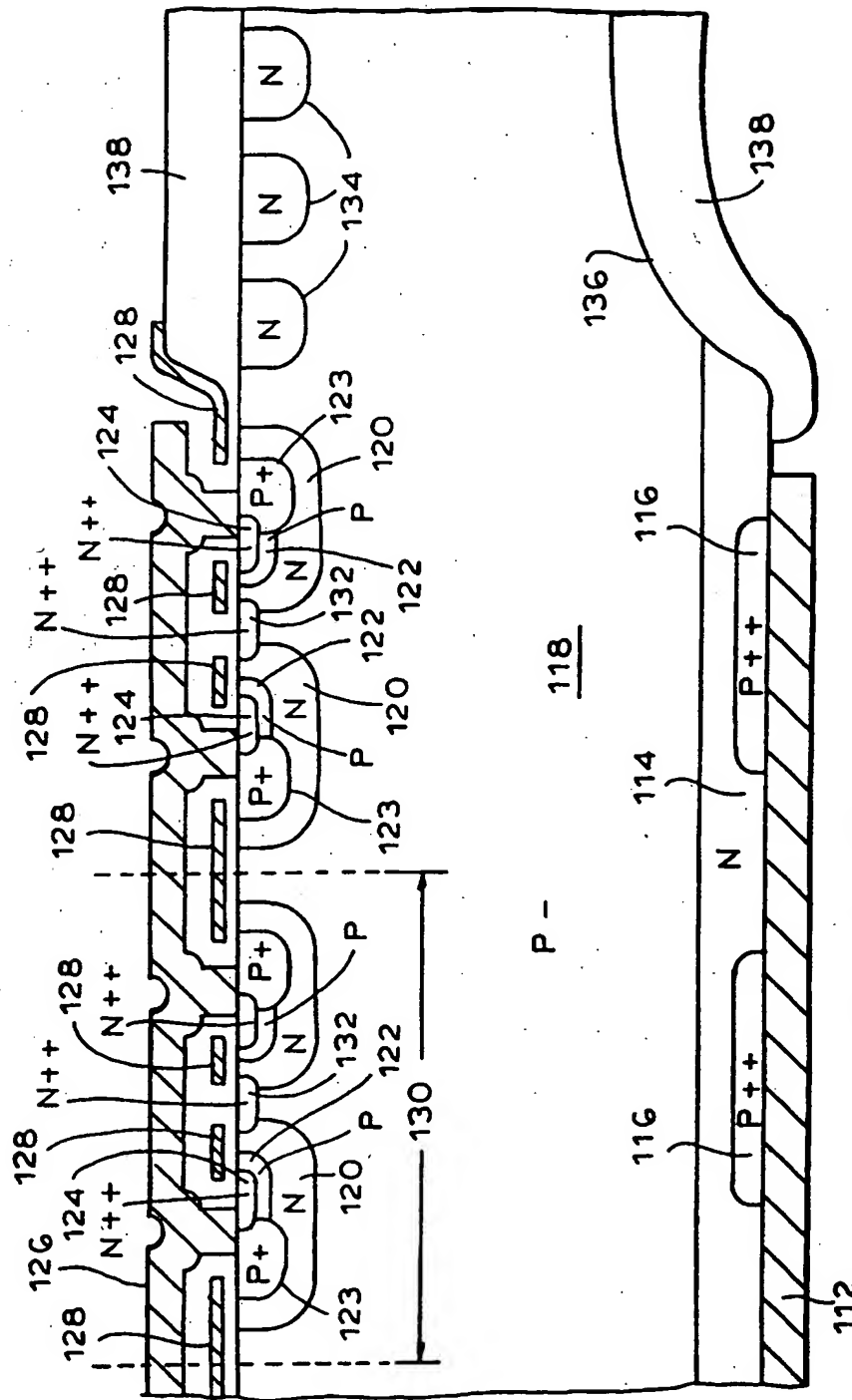
FIG. 6**FIG. 7**

FIG. 8**FIG. 9**







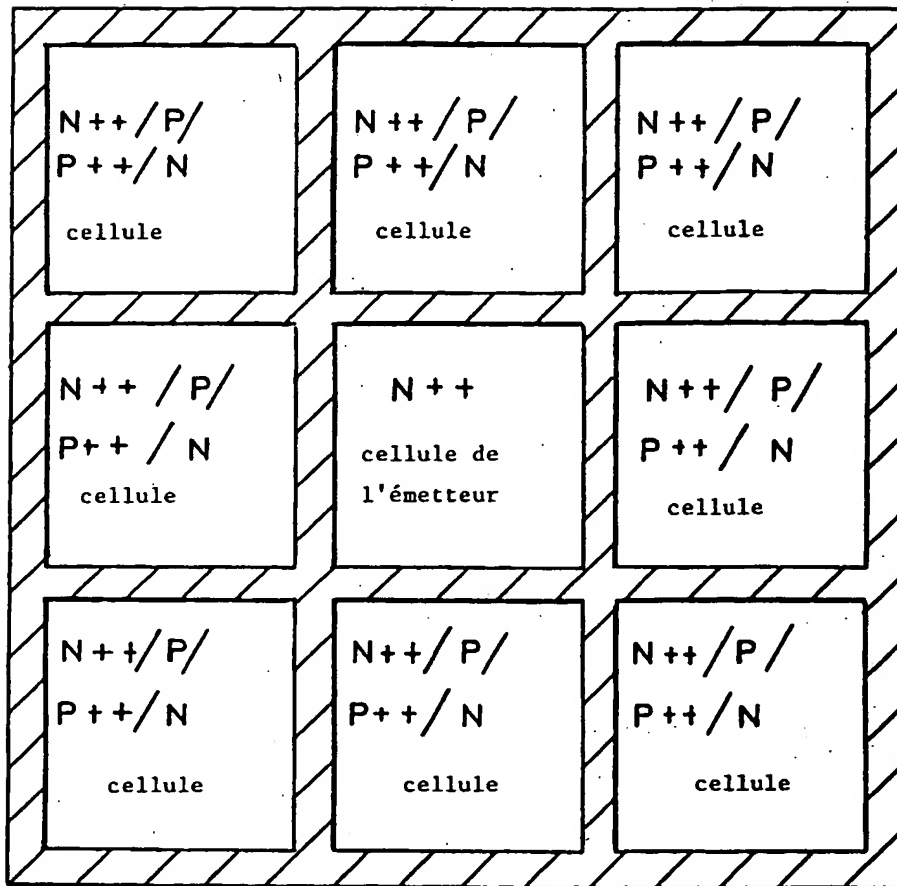


FIG. 16

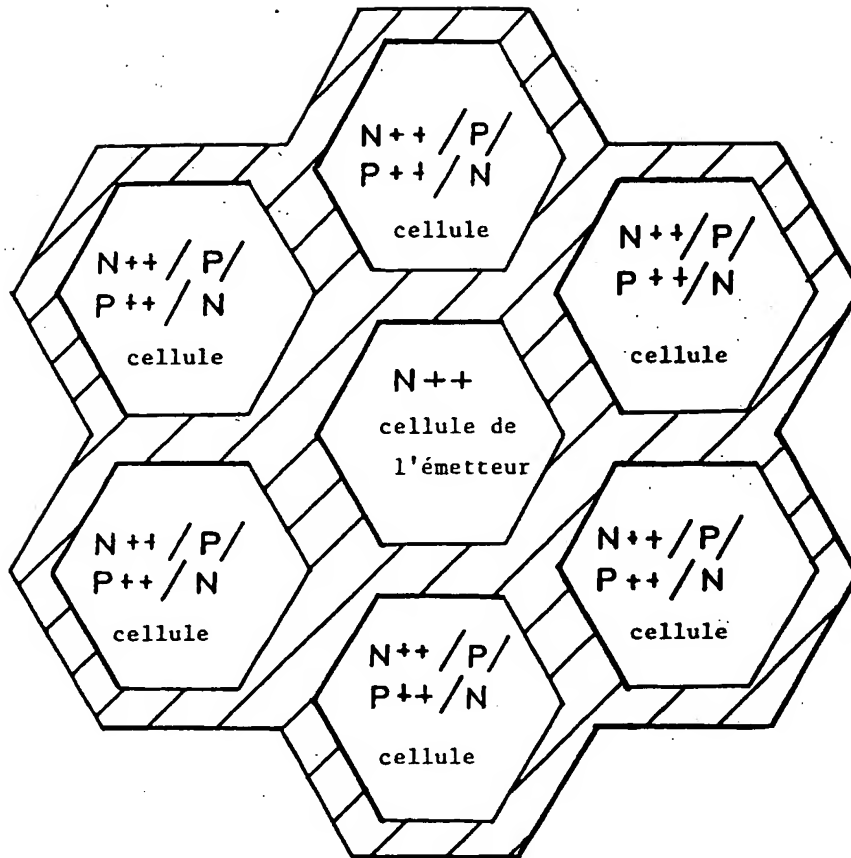


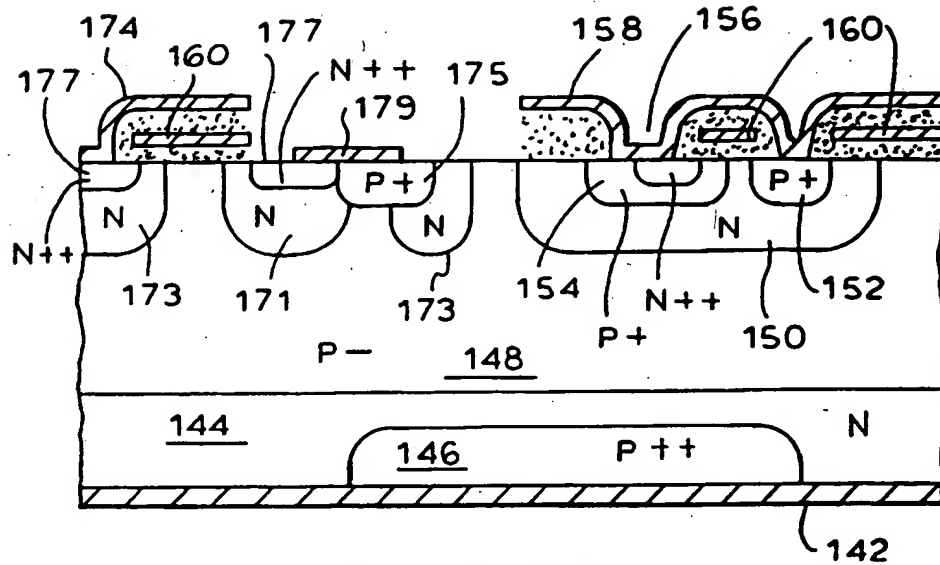
FIG. 17

This diagram shows a cross-sectional view of a semiconductor device. It features a substrate with a P-type region (320) and an N-type region (318). A series of gates (310, 312, 313, 314, 316) are formed on the surface, with a gate stack (317) on the right. The gates are separated by spacers (315, 319). The device includes various doped regions: N+ (311, 312, 313, 314, 316), P (315, 319, 320), and P++ (317, 324). A layer (322) is shown on the right side of the device.

[illegible]

A detailed cross-sectional view of a semiconductor device. The structure consists of several layers and regions. At the top, there are three raised, patterned regions labeled 174, 176, and 178. Below these, a layer labeled 156 contains three rectangular regions labeled 158, 160, and 162. A layer labeled 150 is below 156, containing three regions labeled 152, 154, and 156. A layer labeled 148 is below 150, containing three regions labeled 150, 152, and 154. A layer labeled 144 is below 148, containing three regions labeled 146, 148, and 150. A layer labeled 142 is at the bottom. Various regions are also labeled with symbols: P+, N, P++, and P-.

This diagram shows a cross-sectional view of a semiconductor device with two gate structures. The substrate consists of a top layer labeled **142** (N-type) and a bottom layer labeled **144** (P++ type). A dashed line **148** indicates an interface. The left gate structure includes a gate stack **156** on top of a gate oxide **150**. The gate stack has a top layer **158** and a bottom layer **160**. The gate oxide **150** is on top of a P+ region **152**, which is on top of an N++ region **154**. The right gate structure includes a gate stack **176** on top of a gate oxide **170**. The gate stack has a top layer **142** and a bottom layer **172**. The gate oxide **170** is on top of a P region **174**, which is on top of an N region **178**.

FIG. 22**FIG. 23**